

WEST**Generate Collection****Search Results - Record(s) 2 through 3 of 3 returned.**☐ 2. Document ID: JP 57114281 A

L2: Entry 2 of 3

File: JPAB

Jul 16, 1982

PUB-NO: JP357114281A

DOCUMENT-IDENTIFIER: JP 57114281 A

TITLE: MOS TYPE TRANSISTOR

PUBN-DATE: July 16, 1982

INVENTOR-INFORMATION:

NAME

TAKENAKA, KAZUHIRO

ASSIGNEE-INFORMATION:

NAME

NISSAN MOTOR CO LTD

COUNTRY

N/A

APPL-NO: JP56000606

APPL-DATE: January 6, 1981

INT-CL (IPC): H01L 29/78; H01L 29/62

ABSTRACT:

PURPOSE: To accelerate the operation of an MOS type transistor by forming a gate of two types of metals having different work functions, and forming a depletion type region and an enhancement type region, thereby eliminating a punch through current.

CONSTITUTION: An n+ type source 3, a drain 4 and a gate oxidized film 2 are formed of a p-type Si substrate 5 having an impurity density. An Au electrode 6 is formed by etching or sputtering after deposition or sputter. Before the electrode 6 and a gate electrode 10 made of an aluminum electrode 7 are formed, the surface density is varied, thereby providing a depletion type region 8 having negative threshold voltage and an enhancement type region 9 having positive threshold voltage.

COPYRIGHT: (C)1982, JPO&Japio

Full	Title	Citation	Front	Review	Classification	Date	Reference	Claims	KWIC	Draw Desc	Clip Img	Image
------	-------	----------	-------	--------	----------------	------	-----------	--------	------	-----------	----------	-------

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-114281

⑬ Int. Cl.³

H 01 L 29/78

// H 01 L 29/62

識別記号

庁内整理番号

7377-5F

7638-5F

⑭ 公開 昭和57年(1982)7月16日

発明の数 1

審査請求 未請求

(全 4 頁)

⑮ MOS型トランジスタ

横須賀市追浜東町3-68浦郷寮

⑯ 特 願 昭56-606

⑰ 出 願 人 日産自動車株式会社

⑱ 出 願 昭56(1981)1月6日

横浜市神奈川区宝町2番地

⑲ 発 明 者 竹中計廣

⑳ 代 理 人 弁理士 松原伸之 外2名

明 細 書

1. 発明の名称 MOS型トランジスタ

2. 特許請求の範囲

トランジスタ基板と、該基板に形成されたソースおよびドレーンと、該ソースと該ドレーン間上の前記基板上に設けられた酸化膜層と、該酸化膜層上に設けられ、互いに相違した仕事関数を有しそれぞれ該酸化膜に接した接触面を有する2種の金属より構成されたゲートとを有し、

前記トランジスタ基板は、前記ソースおよび前記ドレーン間において1つの前記金属下にデブリーション型領域を有し、他の前記金属下にエンハンスメント型領域を有することを特徴とするMOS型トランジスタ。

3. 発明の詳細な説明

本発明はパンチスルー電流を流れないようにして高速度化したMOS型トランジスタに関する。

従来のMOS型トランジスタとして、例えば、第1図に示すようなものがあり、アルミニウムよ

り成るゲート1と、Si基板5に熱拡散法、あるいはイオン注入法によつて形成されたソース3およびドレーン4とを有している。

以上の構成において、ゲート1に印加する電圧によつてソース3からドレーン4に流れる電流を制御することができる。

しかし、従来のMOS型トランジスタによれば高速度化を期すためにソース3およびドレーン4の間隙であるゲート長Lを短くすると、短チャネル効果によつてしきい値電圧が低下し、ゲート長Lをさらに短くしていくとドレーン4側の空乏層がソース3に達してパンチスルー電流が空乏層中を流れる現象が生じる。

本発明は、上記に鑑み、パンチスルー電流が流れないようにして高速度化を期すため、ゲートを仕事関数が相違する2種の金属によつて構成し、該2種金属下にデブリーション型領域とエンハンスメント型領域とを形成するようにしたMOS型トランジスタを提供するものである。

以下本発明によるMOS型トランジスタを詳細

に説明する。

第2図は本発明の第1の実施例を示し、不純物濃度の低いP型のSi基板5と、Si基板5に熱拡散あるいはイオン注入によつて形成された n^+ のソース3およびドレイン4と、熱酸化によつて形成されたゲート酸化膜2と、蒸着またはスパッタリングによつてゲート酸化膜2上に堆積させた後フォトリソグラフィとエッチングとを使用してエッチング又はスパッタエッチングによつてサブ μm 〜数 μm のパターンで形成されたA₁電極6と、A₁電極6およびゲート酸化膜2上に蒸着されたA₂電極7(A₁電極6とA₂電極7は電気的に接続され、両者によつてゲート電極10を構成している)と、ゲート電極10を形成する前にチャンネル部分にイオン注入して表面濃度を変えることにより設けられるしきい値電圧が負となるデプリーション型領域8およびしきい値電圧が正となるエンハンスメント型領域9とを有している。第3図および第4図は本発明の第2および第3の実施例を示し、ゲート電極10を構成するA₁電

極6とA₂電極7の形状がそれぞれ相違している(その他の構成は、第2図の構成と同一であるため重複する説明は省略する)。

以上の構成において、A₁とA₂との間に0.9ボルトの仕事関数の相違があるため、ゲート電極10をA₁電極6とA₂電極7とによつて構成することにより領域8をデプリーション型に、領域9をエンハンスメント型にすることができる。そのため、MOS型トランジスタの速度の要因となる実効ゲート長は、エンハンスメント型領域の長さ L_1 となるため、該トランジスタの動作速度を高速化することができる。一方、実際のゲート長は、ソース3とドレイン4の間隔 L_2 となるため(パンチスルー電流を流す空乏層の長さが長くなるため)、パンチスルー電流が流れる現象を抑えることができる。

以上の実施例では、基板5としてP型基板を使用し、Nチャンネルトランジスタとしたが、P型基板を使用してPチャンネルトランジスタにすることができる。その場合、電極6にA₂を、電極

7にA₁を使用すれば良い。また、各実施例において、A₁の代わりにA₂を使用すると、A₁とA₂の仕事関数の差が1.1ボルトとなり、しきい値電圧の制御が容易になる。

第5図は本発明によるMOS型トランジスタを時計用IC回路に適用した実施例を示し、水晶発振器15を有した発振部20と、インバータ22、23を介して入力する発振周波数を分周する分周回路21とを有している。分周回路21は入力する各周波数を順次 $\frac{1}{2}$ に分周する複数のフリップフロップ16、17、18より構成され、発振部20に近い方のフリップフロップに速度性がより高い(換言すれば、実効ゲート長 L_1 のより短い)MOS型トランジスタが使用されている。この構成によつて発振部20に近い方の入力周波数が高くてフリップフロップ16、17、18の中で互いに左隣りに位置するフリップフロップのMOS型トランジスタの速度性が高いため入力周波数に順応した高周波特性を示す。

以上説明した通り、本発明によるMOS型トラ

ンジスタによれば、ゲートを仕事関数が相違する2種の金属によつて構成し、該2種金属下にデプリーション型領域とエンハンスメント型領域とを形成するようにしたため、短チャンネル効果、更には、パンチスルー電流が生じないようにして高速化を期すことができる。

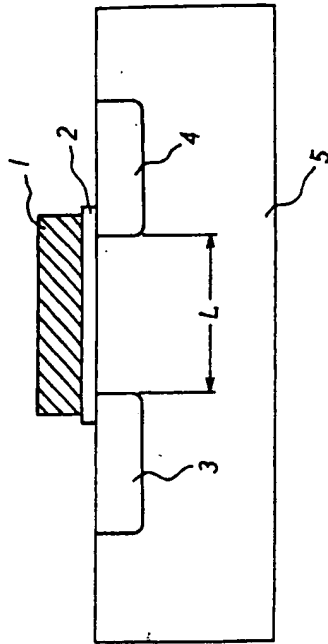
4. 図面の簡単な説明

第1図は従来のMOS型トランジスタを示す説明図。第2図より第4図は本発明の第1より第3の実施例を示す説明図。第5図は本発明を適用した時計用IC回路を示す説明図。

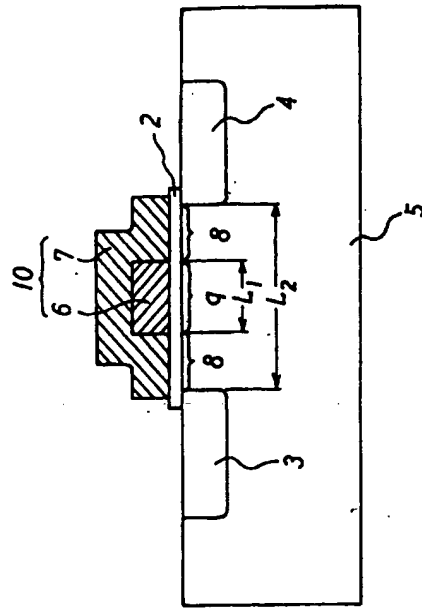
符 号 の 説 明

- | | |
|---------------------|---------------------|
| 1…ゲート | 2…酸化膜 |
| 3…ソース | 4…ドレイン |
| 5…トランジスタ基板 | 6…A ₁ 電極 |
| 7…A ₂ 電極 | 8…デプリーション型領域 |
| 9…エンハンスメント型領域 | |
| 10…ゲート | |

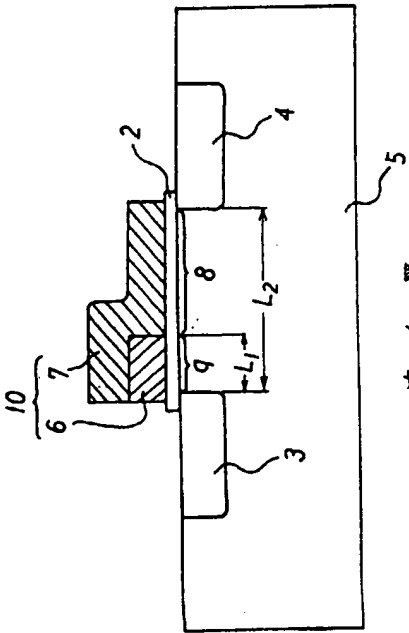
第 1 图



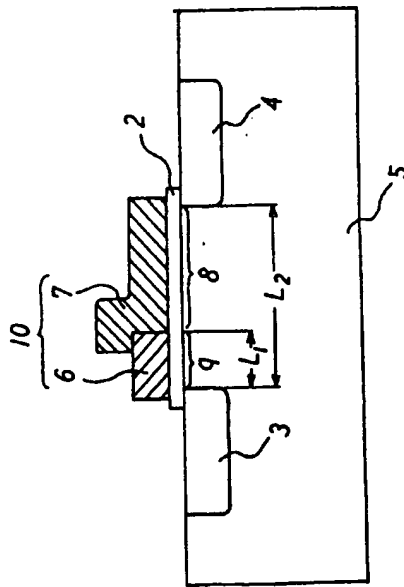
第 2 图



第 3 图



第 4 图



第 5 図

